

SEMICONDUCTOR OPTICAL DEVICE

Publication number: JP2002026450
Publication date: 2002-01-25
Inventor: KIYOMI KAZUMASA; SHIMOURA KENJI
Applicant: MITSUBISHI CHEM CORP
Classification:
- International: H01S5/16; H01S5/223; H01S9/00; (IPC1-7): H01S5/16; H01S5/223
- European:
Application number: JP20000208729 20000710
Priority number(s): JP20000208729 20000710

[Report a data error here](#)**Abstract of JP2002026450**

PROBLEM TO BE SOLVED: To provide a semiconductor optical device which has a self-aligned inner stripe laser structure and does not receive COD even at high-output time by maintaining a low threshold current and high efficiency and a method of manufacturing the device.
SOLUTION: The semiconductor optical device has a first-conductivity clad layer 22, an active layer 23, a first-second-conductivity clad layer 24, and a current blocking layer 26 having an opening 42 successively formed on a substrate 21 and a second second-conductivity clad layer 28 which is formed in the opening 42 and at least on part of the current blocking layers 26 on both sides of the opening. The band gap of the active layer 23 at both end sections of an optical waveguide is made larger than that of the layer 23 in a current injecting area at the center of the optical waveguide by performing heat treatment after impurity diffusion is made through ion implantation.



Data supplied from the esp@cenet database - Worldwide

引 用 文 献 2

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-26450

(P2002-26450A)

(43)公開日 平成14年1月25日 (2002.1.25)

(51)Int.Cl'

H01S 5/16
5/223

機別記号

F I

H01S 5/16
5/223

テマコード(参考)

5 F 0 7 3

審査請求 未請求 請求項の表17 OL (全 17 頁)

(21)出願番号 特願2000-208729(P2000-208729)

(22)出願日 平成12年7月10日 (2000.7.10)

(71)出願人 000005968

三菱化学株式会社

東京都千代田区丸の内二丁目5番2号

(72)発明者 清見 和正

茨城県牛久市東猪穴町1000番地 三菱化学
株式会社筑波事業所内

(72)発明者 下山 雄司

茨城県牛久市東猪穴町1000番地 三菱化学
株式会社筑波事業所内

(74)代理人 100095843

弁理士 笠田 浩司 (1名)

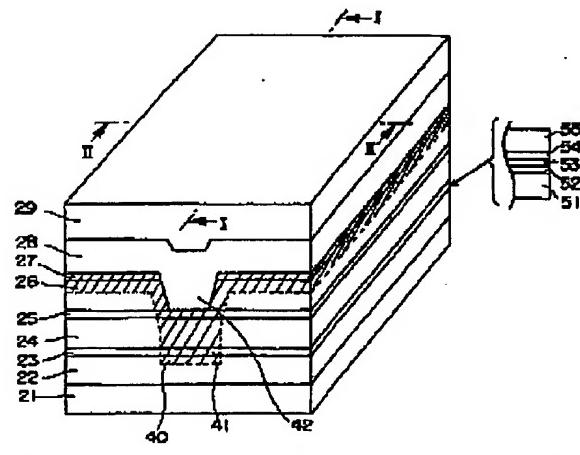
Fターム(参考) 5F073 AA09 AA13 AA74 AA83 AA87
BA09 CA07 CB12 DA05 DA06
DA12 DA14 DA23 EA23 EA28

(54)【発明の名称】 半導体光デバイス装置

(57)【要約】

【課題】 セルフアライン型インナーストライプレーザ構造の半導体光デバイス装置において、低しきい値電流及び高効率を維持しつつ、高出力においてもC.O.D.を受けることのない半導体光デバイス装置及びその製造方法を提供する。

【解決手段】 基板21、第1導電型クラッド層22、活性層23、第2導電型第1クラッド層24、開口部42を有する電流プロック層26、該開口部42内部及び少なくとも開口部42両脇の電流プロック層26上の一端に形成された第2導電型第2クラッド層28を有し、イオン注入により不純物拡散を行った後に熱処理することで光導波路の両端部分における活性層23のバンドギャップが、光導波路中央の電流注入領域における活性層23のバンドギャップよりも大きくなっていることを特徴とする。



(2) 特開2002-26450

2

【特許請求の範囲】

【請求項1】 基板、該基板上に形成された第1導電型クラッド層、該第1導電型クラッド層上に形成された量子井戸構造を有する活性層、該活性層上に形成された第2導電型第1クラッド層、該第2導電型第1クラッド層上に形成された開口部を有する電流プロック層、該開口部内部及び少なくとも開口部両脇の電流プロック層上的一部に形成された第2導電型第2クラッド層を有し、イオン注入及び熱処理により光導波路の両端部分における前記活性層のバンドギャップが、光導波路中央の電流注入領域における前記活性層のバンドギャップよりも大きくなっていることを特徴とする半導体光デバイス装置。

【請求項2】 前記イオン注入におけるイオン源が、Si、F、Al、B、C、N、P、S、As、Gaからなる群から選択されることを特徴とする請求項1記載の半導体光デバイス装置。

【請求項3】 前記光導波路の両端部分における活性層が、前記光導波路中央の電流注入領域における活性層内において発生した光に対して透明となるバンドギャップを有することを特徴とする請求項1又2に記載の半導体光デバイス装置。

【請求項4】 前記電流プロック層の屈折率が、前記第2導電型第2クラッド層の屈折率より小さいことを特徴とする請求項1～3のいずれかに記載の半導体光デバイス装置。

【請求項5】 前記電流プロック層が、少なくとも第1導電型又は高抵抗の半導体層で構成されていることを特徴とする請求項1～4のいずれかに記載の半導体光デバイス装置。

【請求項6】 前記開口部から活性層に電流が注入されることを特徴とする請求項1～5のいずれかに記載の半導体光デバイス装置。

【請求項7】 前記開口部が両端部まで伸長しているストライプ状の開口部であることを特徴とする請求項1～6のいずれかに記載の半導体光デバイス装置。

【請求項8】 前記開口部が一方の端部まで伸長しているが他方の端部までは伸長していない開口部であることを特徴とする請求項1～6のいずれかに記載の半導体光デバイス装置。

【請求項9】 光ファイバー増幅器励起用光源として用いられることを特徴とする請求項1～8のいずれかに記載の半導体光デバイス装置。

【請求項10】 光ファイバー増幅器として用いられることを特徴とする請求項1～8のいずれかに記載の半導体光デバイス装置。

【請求項11】 基板、第1導電型クラッド層、活性層、第2導電型第1クラッド層及び開口部を有する電流プロック層をこの順に形成する工程aと、該開口部の少なくとも両端部に不純物をイオン注入した後、熱処理をして窓領域を形成する工程bと、該開口部内部及び少な

くとも開口部両脇の電流プロック層上的一部分に第2導電型第2クラッド層を形成する工程cとを含むことを特徴とする半導体光デバイス装置の製造方法。

【請求項12】 イオン注入プロファイルのピークが活性層よりも表面側となるようにする半導体光デバイス装置の製造方法。

【請求項13】 イオン注入した元素が熱処理により実質的に活性層へ拡散しない半導体光デバイス装置の製造方法。

10 【請求項14】 前記工程bにおいて、イオン注入する前にイオン注入しない部分の表面に表面保護膜を形成し、イオン注入後に該表面保護膜を除去する工程を含むことを特徴とする請求項11～13のいずれかに記載の半導体光デバイス装置の製造方法。

【請求項15】 前記表面保護膜がSiNxであることを特徴とする請求項14に記載の半導体光デバイス装置の製造方法。

【請求項16】 前記工程bにおいて、熱処理をする前に前記開口部及び前記開口部両脇の電流プロック層の表面にコーティング層を形成し、かつ、熱処理をした後に該コーティング層を除去することを特徴とする請求項11～15のいずれかに記載の半導体光デバイス装置の製造方法。

20 【請求項17】 前記コーティング層がSi系アモルファスからなることを特徴とする請求項16に記載の半導体光デバイス装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体レーザや增幅器などとして有用な半導体光デバイス装置に関するもので、特に高出力動作において信頼性が高い半導体光デバイス装置に関するもの。

【0002】

【従来の技術】 半導体光デバイス装置の一つである半導体レーザ素子は、その半堅牢、高効率、広い波長選択範囲、耐久性等の特性から広く利用されているが、光出力が大きくなると、光出力端面で光損傷（以下、「COD」（Catastrophic Optical Damage）という）を生じてレーザ発振を失ってしまう。

40 【0003】 このような高出力時におけるCODを防止すべく、大別して2つの半導体レーザ素子が開発されている。1つはプロードエリアレーザであり、発光領域を大きくすることにより光密度を低くしてCODの発生を防止することのできる半導体レーザ素子である。しかし、このプロードエリアレーザは発光領域が大きいため、単一モードの安定した光出力で動作させるのは困難である。

【0004】 もう1つは、光を実質的に吸収しない非吸収領域を端面に設けたレーザ素子であり、端面の反射鏡の部分が非吸収領域（NAM領域）となっているため、

(3)

特開2002-26450

3

通常N A Mレーザ(Non-Absorbing Mirror)と呼ばれている。N A Mレーザは端面における光吸収を防止でき、C O Dを完全に抑制することが可能である。また、誘導放出が行われる活性層付近の構造はブロードエリアレーザの場合のように制限されることなく、端面の非吸収領域とは独立に自由に設計できるために、単一モードの高い光出力で動作させることができる利点を有する。

【0005】この利点より、これまでN A Mレーザとして、(1) 端部領域での量子井戸構造無秩序化プロセス(H.Nakashima et al., Japanese Journal of Applied Physics, vol.24, No.8, L647 (1985)、(2) 端部領域での活性層埋込プロセス(H.Maito et al., IEEE Journal Quantum Electronics, vol.QE-25, 1495 (1989))などの作製例が知られている。同様に、ウインドウ構造レーザという名称で、米国特許第4, 639, 275号明細書；米国特許第4, 845, 725号明細書において、端部を非吸収にしたレーザが開発されているが、これらも活性層への不純物拡散により量子井戸構造を混晶化する方法を用いている。

【0006】

【発明が解決しようとする課題】上記(1)の作製例では、不純物拡散又は構成元素の空格子拡散を用いるため、作製プロセスが容易になるという利点がある。しかし、不純物拡散の場合、活性層内部の高濃度の不純物により内部損失が増大し、また構成元素の空格子拡散の場合には、比較的高温プロセスが要求されるため活性層へのプロセスダメージが懸念される。また、上記(2)の作製例では、優れたレーザ特性を実現できるが、半導体レーザ素子の構造及び作製プロセスが複雑になるという欠点がある。

【0007】このような中で、上記(1)の作製例として、端部領域での量子井戸構造無秩序化プロセスを用いて作製したリッジ構造を有する窓構造レーザ素子が開発され、C O Dレベルの高い高出力レーザが実現されている。例えば、特開平10-290043号公報にはリッジ構造を有する窓構造レーザ素子が開示されている。このような従来のリッジ構造を有する窓構造レーザ素子は、基板上に第1導電型クラッド層、活性層、第2導電型クラッド層を形成して、レーザ光出射面を含む端部領域に不純物を拡散し、活性層を混晶化することにより形成されている。このため、端部でのリーク電流を抑制するため、かなり複雑な構造となっている。

【0008】上記リッジ型の半導体レーザ素子に対し、電流狭窄領域が順メサ状の構造を有するセルフアライン型インナーストライプレーザ素子も開発されている。このセルフアライン型インナーストライプレーザ素子は、基本的には2回の結晶成長と1回のウェットエッチングで作製することが可能であることから、容易に素子を作製できるという利点がある。しかしながら、これまで商

10

素で再現性が高い方法により十分に高性能なセルフアライン型インナーストライプレーザを作製することはできなかった。

【0009】一方、レーザ光出射面を含む端部領域において不純物を拡散し、活性層を混晶化させてC O Dを制御する前記の方法(特開平10-290043号公報)においては、不純物の拡散を制御することは困難であった。したがって、不純物の拡散を制御することのできる半導体光デバイス装置及びその製造方法を開発することは有意義である。

20

【0010】かくして本発明は上記従来技術の問題点に鑑みてなされたものであり、低しきい値電流及び高効率を維持しつつ、高出力においてもC O Dを受けることがない高性能な半導体光デバイス装置を提供すること目的とする。また本発明は、簡素で再現性が高いプロセスにより製造することが可能な半導体光デバイス装置を提供することをも目的とする。さらに、本発明は、端部領域でのリーク電流や内部ロスを低減することのできる半導体光デバイス装置の製造方法を提供することを目的とする。

20

【0011】

【課題を解決するための手段】本発明者らは上記課題を解決するために鋭意検討を進めた結果、基板、該基板上に形成された第1導電型クラッド層、該第1導電型クラッド層上に形成された量子井戸構造を有する活性層、該活性層上に形成された第2導電型第1クラッド層、該第2導電型第1クラッド層上に形成された開口部を有する電流ブロック層、該開口部内部および少なくとも開口部両脇の電流ブロック層上の一端に形成された第2導電型第2クラッド層を有し、イオン注入及び熟処理により光導波路の両端部分における前記活性層のバンドギャップが、光導波路中央の電流注入領域における前記活性層のバンドギャップよりも大きくなっていることを特徴とする本発明の半導体光デバイス装置が所期の効果を示すことを見いだした。

【0012】特に、光導波路の端部における活性層のバンドギャップを大きくした窓構造レーザの作製において、セルフアライン型インナーストライプレーザ構造をベースとして、活性層よりも表面側に注入プロファイルのピークがくるようにイオン注入をした後に、熟処理することにより、端部での内部ロスの増加を抑制したり端部でのリーク電流低減を図ることができ、所期の効果を示す優れた半導体発光装置が得られることを見出した。

【0013】また本発明は、基板、第1導電型クラッド層、活性層、第2導電型第1クラッド層及び開口部を有する電流ブロック層をこの順に形成する工程aと、該開口部の少なくとも両端部に不純物をイオン注入した後、熟処理をして窓構造領域を形成する工程bと、該開口部内部及び少なくとも開口部両脇の電流ブロック層上の一端に第2導電型第2クラッド層を形成する工程cとを有

50

(4)

特開2002-26450

6

することを特徴とする半導体発デバイス装置の製造方法を提供する。

【0014】本発明における半導体光デバイス装置の好ましい態様としては、光導波路の両端部分における活性層が、光導波路中央の電流注入領域における活性層内において発生した光に対して透明となるバンドギャップを有する態様；電流プロック層の屈折率が、第2導電型第2クラッド層の屈折率より小さい態様；電流プロック層が、少なくとも第1導電型又は高抵抗の半導体層で構成されている態様；開口部から活性層に電流が注入される態様；開口部が両端部まで伸長しているストライプ状の開口部である態様；開口部が一方の端部まで伸長しているが他方の端部までは伸長していない開口部である態様；光ファイバー増幅器励起用光源として用いられる態様；光ファイバー増幅器として用いられる態様が挙げられる。

【0015】また、本発明における半導体光デバイス装置の製造方法の好ましい態様としては、前記工程bにおいて、イオン注入する前にイオン注入しない部分の表面に表面保護膜を形成し、イオン注入後に該表面保護膜を除去する工程を含む態様；前記表面保護膜がSiNxである態様；前記工程bにおいて、熱処理をする前に前記開口部及び前記開口部両脇の電流プロック層の表面にコートィング層を形成し、かつ、熱処理をした後に該コートィング層を除去する態様；前記コートィング層がSi系アモルファスからなる態様が挙げられる。

【0016】

【発明の実施の態様】以下に本発明の半導体光デバイス装置及びその製造方法について詳細に説明する。本発明の半導体光デバイス装置は、基板、該基板上に形成された第1導電型クラッド層、該第1導電型クラッド層上に形成された量子井戸構造を有する活性層、該活性層上に形成された第2導電型第1クラッド層、該第2導電型第1クラッド層上に形成された開口部を有する電流プロック層、該開口部内部及び少なくとも開口部両脇の電流プロック層上の一一部に形成された第2導電型第2クラッド層を有し、イオン注入及び熱処理により、光導波路の両端部分における前記活性層のバンドギャップが光導波路中央の電流注入領域における前記活性層のバンドギャップよりも大きくなっていることを特徴とする。本発明の半導体光デバイス装置は、これらの層の他に半導体光デバイス装置に通常形成される層を適宜有していてよい。

【0017】本明細書において「A層の上に形成されたB層」という表現は、A層の上面にB層の底面が接するようにB層が形成されている場合と、A層の上面に1以上の層が形成されさらにその層の上にB層が形成されている場合の両方を含むものである。また、A層の上面とB層の底面が部分的に接していて、その他の部分ではA層とB層の間に1以上の層が存在している場合も、上記

表現に含まれる。具体的な態様については、以下の各眉の説明と実施例の具体例から明らかである。

【0018】図1は本発明における半導体光デバイス装置の一例の斜視図であり、図2は前記一例の断面であって図1のI-I線断面であり、図3は前記一例の断面であって図1のII-II線断面である。半導体光デバイス装置の一例の構造は概略的に、化合物半導体からなる基板21上に、第1導電型クラッド層22、活性層23、および第2導電型第1クラッド層24を積層し、その上にエッチング阻止層25を介してストライプ状に開口された電流プロック層26及びキャップ層27を有している。さらに電流プロック層26の開口した部分とその両脇の電流プロック層上に積層するように第2導電型第2クラッド層28が形成され、その第2導電型第2クラッド層28上にコンタクト層29が形成される。

【0019】本発明の半導体光デバイス装置においては、光導波路の両端部分において前記活性層23のバンドギャップが光導波路中央の電流注入領域における活性層23のバンドギャップよりも大きくされた窓領域40が形成されている。この窓領域40はイオン注入によって無秩序化された領域であり、活性層23の光導波路の端面は混晶領域41で構成される。図1から図3において、斜線で示される領域はイオン注入がなされた領域である。通常、活性層23は、二重量子井戸(DQW)構造を有するため、図5(b)のようなバンドギャップを示すが、その窓領域40はイオン注入によって無秩序化されているために、図5(a)に示すように、通常の活性層23のバンドギャップより大きくなっている。このため、本実施例の半導体光デバイス装置では光出力端面において光波の吸収を抑制して、CODを未然に防止できる。

【0020】また、本発明の半導体光デバイス装置は、第2導電型第2クラッド層28が、開口部内部42及び少なくとも開口部42両脇の電流プロック層26上の一一部に形成されている(セルフアライン型インナーストライプレーザ構造)。このため、本発明の構造には、特開平10-290043号公報に記載されたリッジ型構造に比べて、成長回数が少なくて済むこと、選択成長といった特殊な技術が不要(特にA1を多く含んだ化合物の選択成長は困難)であることなどの利点がある。

【0021】図1において、基板21は、その上にダブルヘテロ構造の結晶を成長することが可能なものであれば、その導電性や材料については特に限定されない。好ましいものは、導電性がある基板である。具体的には、基板上への結晶薄膜成長に適したGaAs、InP、GaP、ZnSe、ZnO、Si、Al₂O₃等の結晶基板、特に閃亜鉛型構造を有する結晶基板を用いるのが好ましい。その場合、基板結晶成長面は低次な面又はそれと結晶学的に等価な面が好ましく、(100)面が最も好ましい。なお、本明細書において(100)面とい

(5)

7

う場合、必ずしも厳密に(100)ジャストの面である必要はなく、最大30°程度のオフアングルを有する場合まで包含する。オフアングルの大きさの上限は30°以下が好ましく、16°以下がより好ましい。

【0022】また、基板21は六方晶型の基板でもよく、例えばAl₂O₃、6H-SiC等からなる基板を用いることもできる。

【0023】基板21上には、通常基板の欠陥をエピタキシャル成長層に持ち込まないために厚さ0.2~2μm程度のバッファ層を形成しておくことが好ましい。

【0024】基板21の上には、活性層23を含む化合物半導体層を形成する。化合物半導体層は、活性層の上下に活性層より屈折率の小さい層を含んでおり、そのうち基板側の層は第1導電型クラッド層、他方のエピタキシャル側の層は第2導電型クラッド層として機能する。これらの屈折率の大小関係は、各層の材料組成を当業者に公知の方法にしたがって適宜選択することにより調節することができる。例えば、Al_xG_yA_zAs、(Al_xG_yAs)_zIn_{1-z}P、Al_xG_yN等のAl組成を変化させることによって屈折率を調節することができる。

【0025】第1導電型クラッド層22は、活性層23よりも屈折率の小さい材料で形成される。また、第1導電型クラッド層22の屈折率は、第2導電型クラッド層の屈折率よりも大きいことが好ましい。例えば、第1導電型のInP、GaInP、AlGaInP、AlInP、AlGaAs、AlGaAsP、AlGaInAs、GaInAsP、GaN、AlGaN、AlGaInN、BeMgZnSe、MgZnSSe、CdZnSeTe、ZnO、MgZnO、MgO等の一般的なIII-V族、II-VI族半導体を用いることができる。第1導電型クラッド層22のキャリア濃度は、下限は1×10¹⁷cm⁻³以上が好ましく、3×10¹⁷cm⁻³以上がより好ましく、5×10¹⁷cm⁻³以上が最も好ましい。上限は2×10¹⁸cm⁻³以下が好ましく、5×10¹⁸cm⁻³以下がより好ましく、5×10¹⁸cm⁻³以下が最も好ましい。

【0026】第1導電型クラッド層22は、単層からなるものであっても、2層以上の層からなるものであってもよい。単層からなるときは、厚みの下限は0.4μm以上であることが好ましく、0.6μm以上であることより好ましく、0.7μm以上であることが特に好ましい。厚みの上限は5.0μm以下であることが好ましく、3.0μm以下であることがより好ましく、2.0μm以下であることが特に好ましい。

【0027】第1導電型クラッド層22は複数層からなるものであってもよく、具体的には活性層側にはGaInP、AlGaInP又はAlInPからなるクラッド層と、その層よりも基板21側に第1導電型のAlGaAs又はAlGaAsPからなるクラッド層が形成され

特開2002-26450

8

ている態様を例示することができる。このとき、活性層23側の層の厚さは薄くすることが好ましく、厚さの下限としては0.01μm以上が好ましく、0.05μm以上がより好ましい。上限としては、0.5μm以下が好ましく、0.3μm以下がより好ましい。また、基板21側の層のキャリア濃度は、下限は2×10¹⁷cm⁻³以上が好ましく、5×10¹⁷cm⁻³以上がより好ましい。上限は2×10¹⁸cm⁻³以下が好ましく、5×10¹⁸cm⁻³以下がより好ましい。

10 【0028】本実施例の半導体光デバイス装置を構成する活性層23の構造は、特に制限されず、図1の一例においては、二重量子井戸(DQW)構造を有している。この二重量子井戸(DQW)構造は具体的には光閉じ込め層(ノンドープ)51、量子井戸層(ノンドープ)52、バリア層(ノンドープ)53、量子井戸層(ノンドープ)54及び閉じ込め層(ノンドープ)55を順次積層した構造を有する。この二重量子井戸(DQW)構造以外にも、例えば、量子井戸層及び前記量子井戸層を上下から挟む光閉じ込め層からなる单一量子井戸構造(SQW)や、3層以上の量子井戸層及びそれらに挟まれたバリア層並びに最上の量子井戸層の上及び最下の量子井戸層の下に積層された光閉じ込め層を有する多重量子井戸構造であってもよい。活性層23を量子井戸構造とすることにより、単層のバルク活性層と比較して、短波長化かつ低しきい值化を達成することができる。

20 【0029】活性層23の材料としては、例えばGaAs、GaInAs、GaInP、GaInAsP、GaN、GaInN、GaNAs、GaN_xP_y、ZnSe、ZnSSe、CdZnSeTe、ZnO、CdZnO等の一般的なIII-V族、II-VI族半導体を用いることができる。特にGaとInを構成元素として含む材料である場合は、自然超格子が形成されやすいために、オフ基板を用いることによる自然超格子抑制の効果が大きくなる。なお、光導波路の両端部分における活性層は、光導波路中央の電流注入領域における活性層内において発生した光に対して透明となるバンドギャップを有することが好ましい。活性層23が量子井戸構造を有している場合、混晶化の容易さの観点から、以下の態様を採用することが好ましい。

30 40 (1) 混晶化前後での組成の変化量を大きくできることから、活性層が単一の井戸層を有している(单一量子井戸)こと

(2) 活性層が複数の井戸層を有している(多重量子井戸)場合、混晶化領域中央付近でのバンドギャップの低減を抑制するために、混晶組成井戸層に挟まれたバリア層の厚みが井戸層よりも大きいこと

(3) 混晶化前後でのバンドギャップ変化を大きくするために、井戸層に圧縮歪みがかかっていること

(4) 井戸層の構成元素に比較的低温で拡散しやすいInが含まれていること

50 PAGE 30/49 *RCVD AT 2/6/2007 3:41:51 PM [Eastern Standard Time]* SVR:USPTO-EFXRF-3/18*DNIS:2738300*CSID:612-455-3801*DURATION (mm:ss):23:02

(6)

特開2002-26450

9

(5) 井戸層を挟むバリア層あるいはガイド層の構成元素にバンドギャップを小さくするInが含まれていないこと

(6) 井戸層を挟むバリア層あるいはガイド層の構成元素にバンドギャップを大きくするAlが含まれていること

【0030】活性層23上には、第2導電型クラッド層が形成される。本発明の第2導電型クラッド層は2層以上形成する。以下の説明では、活性層23に近い方から順に第2導電型第1クラッド層24と第2導電型第2クラッド層28の2層を有する好ましい態様を例にとって説明する。

【0031】第2導電型第1クラッド層24は、活性層23よりも屈折率の小さい材料で形成される。例えば、第2導電型のInP、GaInP、AlGaInP、AlInP、AlGaAs、AlGaAsP、AlGaNAs、GaInAsP、GaN、AlGaN、AlGaN、BeMgZnSe、MgZnSSe、CdZnSeTe、ZnO、MgZnO、MgO等の一般的なIII-V族、II-VI族半導体を用いることができる。第2導電型クラッド層がAlを含むIII-V族化合物半導体で構成されている場合は、その成長可能な実質的全面をGaAs、GaAsP、GaInAs、GaInP、GaInN等のAlを含まないIII-V族化合物半導体で覆えば表面酸化を防止することができるため好ましい。

【0032】第2導電型第1クラッド層24のキャリア濃度は、下限は $1 \times 10^{17} \text{ cm}^{-3}$ 以上が好ましく、 $3 \times 10^{17} \text{ cm}^{-3}$ 以上がより好ましく、 $5 \times 10^{17} \text{ cm}^{-3}$ 以上が最も好ましい。上限は $5 \times 10^{18} \text{ cm}^{-3}$ 以下が好ましく、 $3 \times 10^{18} \text{ cm}^{-3}$ 以下がより好ましく、 $2 \times 10^{19} \text{ cm}^{-3}$ 以下が最も好ましい。また第2導電型第1クラッド層24の厚さは、下限としては $0.01 \mu\text{m}$ 以上が好ましく、 $0.05 \mu\text{m}$ 以上がより好ましく、 $0.07 \mu\text{m}$ 以上が最も好ましい。上限としては、 $0.5 \mu\text{m}$ 以下が好ましく、 $0.4 \mu\text{m}$ 以下がより好ましく、 $0.2 \mu\text{m}$ 以下が最も好ましい。

【0033】第2導電型第1クラッド層24は活性層23の上に形成する。第2導電型第1クラッド層24の屈折率は、第1導電型クラッド層22の屈折率よりも小さくすることもできる。このようにすれば、活性層から光ガイド層側へ有効に光がしみ出すように光分布(近視野像)を制御することが可能となる。また、活性領域(活性層の存在する部分)からイオン注入領域への光導波損失を低減することもできるため、高出力動作におけるレーザ特性や信頼性の向上を達成することができる。

【0034】第2導電型第1クラッド層24の上にエッチング阻止層25を形成することにより、エッチング処理時における第2導電型第1クラッド層24のエッティング試薬による浸食を防止することができる。また、エッ

10

チング阻止層25を有すれば、少なくとも開口部42内に第2導電型第2クラッド層28を再成長させる際に、再成長界面で通過抵抗を増大させるような高抵抗層の発生を容易に防ぐことができるようになる。

【0035】エッチング阻止層25の材料は、エッチング処理時にエッチング試薬に対し抵抗性のあるもの、すなわち浸食されないものであれば、特に限定はない。またエッチング阻止層25の材料は、浸食防止機能のほか、酸化防止機能を併有していても構わない。具体的には、Al_xGa_{1-x}As(0≤x≤1)、In_yGa_{1-y}P(0≤y≤1)などが挙げられる。

【0036】エッチング阻止層25の厚みは、一般に活性層23の材料よりもバンドギャップが大きくなるように選択され、その上限として50nm以下が好ましく、20nm以下がより好ましい。下限として、2nm以上が好ましく、5nm以上がより好ましい。

【0037】エッチング阻止層25の導電型は、エッチングにより溝内部から除去される場合は特に制限はなく、溝内部に層が形成される場合は第2導電型が好ましい。また、エッチング阻止層25は基板になるべく格子整合させることができが好ましい。さらに、材料と厚みを適宜選択することによって活性層23からの光を吸収しないようにすることが好ましい。

【0038】本発明の半導体光デバイス装置を構成する電流プロック層26は、第2導電型第1クラッド層24上に形成され、開口部42を有する。基本的には、該開口部42から活性層に電流が注入される。

【0039】電流プロック層26の材料は、半導体であれば特に限定されない。電流プロック層26の材料として半導体を用いた場合は、誘電体膜と比較して熱伝導率が高いために放熱性が良い、劈開性が良い、平坦化しやすいためにジャンクション・ダウンで組立てやすい、コンタクト層を全面に形成しやすいのでコンタクト抵抗を下げやすいなどの利点がある。

【0040】電流プロック層26の屈折率は、電流プロック層26に挟まれたAlGaAs又はAlGaAsPからなる第2導電型第2クラッド層28の屈折率よりも低くする(実屈折率ガイド構造)。このような屈折率の制御を行うことによって、従来のロスガイド構造に比べて動作電流を低減することが可能になる。電流プロック層26と第2導電型第2クラッド層28との屈折率差は、電流プロック層26が化合物半導体の場合、下限は0.001以上が好ましく、0.003以上がより好ましく、0.007以上が最も好ましい。上限は、1.0以下が好ましく、0.5以下がより好ましく、0.1以下が最も好ましい。電流プロック層26が誘電体の場合、下限は0.1以上が好ましく、0.3以上がより好ましく、0.7以上が最も好ましい。上限は、3.0以下が好ましく、2.5以下がより好ましく、1.8以下が最も好ましい。

(7)

11

【0041】電流ブロック層26の屈折率を第2導電型第2クラッド層28よりも低屈折率にすることや、GaAs基板との格子整合を考慮すると、電流ブロック層26の材料は、AlGaAs又はAlGaAsP、若しくはAlGaNP又はAlInPの半導体を用いることが好ましい。AlGaNP又はAlInPは、AlGaAs又はAlGaNPと比べて、熱伝導が悪い、自然超格子の形成による屈折率の変化、選択成長(順メサ状の開口部側壁と底面)におけるIn組成の不安定性などがあるので、選択成長時の保護膜へのポリの堆積防止(HCl添加選択成長)ができるのであれば、AlGaAs又はAlGaNPを選択する方が好ましい。但し、AlGaAs又はAlGaNPの場合は、Al組成がAlAsに近くなりすぎると潮解性を示すので、Al組成の上限は0.95以下が好ましく、0.90以下がより好ましく、0.80以下が最も好ましい。第2導電型クラッド層よりも低屈折率にする必要があることから、Al組成の下限は0.35以上が好ましく、0.37以上がより好ましく、0.4以上が最も好ましい。

【0042】電流ブロック層26は、光分布(特に横方向の光分布)を制御したり電流阻止の機能向上させるために、屈折率、キャリア濃度又は導電型が異なる2つ以上の層から形成してもよい。電流ブロック層26の上にキャップ層27を形成して、表面酸化の抑制或いはプロセス上の表面保護を図ることができる。キャップ層27の導電型は特に規定されないが、第2導電型とすることにより、電流阻止機能の向上を図ることができる。

【0043】電流ブロック層26の導電型は、第1導電型又は高抵抗(アンドープ若しくは深い順位)をドープ)、あるいはこれら2つの組み合わせのいずれであってもよく、導電型あるいは組成の異なる複数の層から形成されていてよい。例えば、活性層23に近い側から第2導電型あるいは高抵抗の半導体層、および第1導電型の半導体層の順に形成されている電流ブロック層を好ましく用いることができる。また、あまり薄いと電流阻止に支障を生じる可能性があるため、厚さは0.1μm以上であるのが好ましく、0.3μm以上であるのがより好ましい。一方、厚すぎると通過抵抗の増大を招くため、上限は2μm以下が好ましく、1μm以下がより好ましい。半導体レーザ素子としてのサイズ等を勘案すれば、0.3~1μm程度の範囲から選択するのが好ましい。

【0044】電流ブロック層26の上側層として、開口部42内部及び少なくとも開口部42両脇の電流ブロック層26上的一部に至るように第2導電型第2クラッド層28が形成される。第2導電型第2クラッド層28は、開口部42の上側表面をすべて覆い且つ開口部42の両脇の電流ブロック層26上の少なくとも一部に延在されるように形成される。後述するイオン注入により形成される窓領域40を光導波路の両端部分の比較的狭い

(7)

特開2002-26450

12

範囲に自己結合的に形成し、その電流ブロック層26をそのまま用いて第2導電型第2クラッド層28が開口部42の両脇の電流ブロック層26上的一部まで延在されるように形成したことから、素子特性を十分に安定化させることができる。

【0045】本発明の半導体光デバイス装置における窓領域40は、活性層23より上に形成された化合物半導体層に不純物をイオン注入した後、熱処理をして窓構造領域を形成することにより作製することができる。窓領域40の作製において拡散させる不純物(イオン源)は、ドーパントとして機能するものであれば特に限定がない。例えば、Si、F、Al、B、C、N、P、S、As、Gaを挙げることができる。より好ましいのはSi、F、B、C、N、P、Asであり、さらに好ましいのはSi、F、B、Nであり、最も好ましいのはSiである。

【0046】本発明の構成を有する半導体光デバイス装置は、活性層23の上部であって活性層からの距離が比較的短い箇所からイオン注入により不純物拡散を行うことが可能である。例えば、図1に示す一例では、光導波路の両端部分ではエッチング阻止層25、また光導波路を除く両端部分ではキャップ層27からそれぞれイオン注入することにより不純物を拡散することができる。光導波路の両端部分では、不純物は比較的厚さが薄いエッチング阻止層25と第2導電型第1クラッド層24を通じて活性層23まで達することができる。このため、イオン注入フロントの位置制御性の向上や端部でのリーク電流低減を容易に図ることができる。また光導波路を除く両端部分では、キャップ層27を通じてその下の電流ブロック層26内まで達することができる。

【0047】イオン注入する場合のイオンの注入量(ドース量)は、少なすぎると活性層の混晶化が起こりにくくなる。一方、多すぎると活性層内の不純物濃度が高くなり過ぎたり、再成長界面による品質の劣化の影響を受けやすくなり、フロント位置の制御性の低下や端部でのリーク電流の増加を招いてしまうという問題がある。特に第1導電型クラッド層22よりも下側の比較的バンドギャップの小さい層まで不純物が拡散してしまうと、リーク電流増加が大きくなつて発光素子としての性能を大きく損ねてしまう。

【0048】これらを考慮すると、イオン注入する場合のイオン注入量(ドース量)は、下限として $0.1 \times 10^{13} \text{ cm}^{-2}$ 以上が好ましく、 $0.5 \times 10^{13} \text{ cm}^{-2}$ 以上がより好ましく、 $0.7 \times 10^{13} \text{ cm}^{-2}$ 以上が最も好ましい。上限としては $2.0 \times 10^{13} \text{ cm}^{-2}$ 以下が好ましく、 $1.5 \times 10^{13} \text{ cm}^{-2}$ 以下がより好ましく、 $1.0 \times 10^{13} \text{ cm}^{-2}$ 以下が最も好ましい。

【0049】通常、固体中へのイオン注入プロファイルは、特にピーク近傍においてガウス分布に非常によく一致する。発明者らの検討結果により、ドーズ量を一定と

50

(8)

13

した場合、ピーク位置が活性層近傍あるいはそれより奥にまで表面側からみて深くなると、混晶化は起こりにくくなり、むしろ、活性層よりも少し表面側にピーク位置がくるように注入プロファイルを設定した方が同じドーザ量では、混晶化がより促進されることがわかった。また、注入後の熱処理において、注入原子が活性層側へ拡散していないにもかかわらず、活性層内部で混晶化が起こることもわかっている。このことから、イオン注入後の熱処理中に不純物が拡散しなくとも、混晶化させることができある。従来の活性層への不純物拡散では、端部窓領域での不純物による光吸収（内部ロスの大幅な増大）やp-n接合位置のシフトによる端部でのリーク電流の増加などの問題が発生していたが、本発明では、活性層への実質的な不純物拡散を必要としないために、従来の問題点を解決することができる。

【0050】このことから、混晶化のしやすさおよび活性層へのダメージ低減の観点から、注入プロファイルのピーク位置は活性層よりも表面側にあることが好ましい。具体的に、注入プロファイルのピーク位置から活性層までの距離は、下限は0.01 μm以上が好ましく、0.03 μm以上がより好ましい。上限は、0.2 μm以下が好ましく、0.1 μm以下がより好ましい。

【0051】本発明では、不純物をイオン注入する前に、イオン注入により不純物をドーピングしない部分には表面保護膜を形成することができる。表面保護膜を形成する場合、表面保護膜の材料はイオン注入時にドーピントを透過しない等の条件を満たせば、特に限定されない。具体的には表面保護膜として誘電体を用いることができ、例えばSiNx膜、SiO₂膜、SiON膜、Al₂O₃膜、ZnO膜、SiC膜及びアモルファスSiからなる群を挙げることができる。好ましくはSiNx膜である。表面保護膜を形成した場合には、熱処理をする前に該表面保護膜は除去される。該表面保護膜を除去する方法は、該表面保護膜を完全に除去できれば特に限定はない。したがって、通常用いられるエッチング方法を用いることができ、例えばドライエッティング、ウェットエッティング、反応性イオンエッティング、プラズマエッティングなどを挙げることができる。

【0052】開口部端部におけるイオン注入フロントは、混晶化を行う場合には活性層23内の量子井戸層よりも下側にする必要があり、活性層23よりもバンドギャップの大きい第1導電型クラッド層22内に形成することが電流リーク抑制の観点から好ましい。

【0053】本発明の熱処理による窓領域の形成の前に、あらかじめ開口部42及び電流ブロック層の表面をコーティング層で覆うこともできる。コーティング層を形成する場合、コーティング層の材料は、耐熱性、安定性等を有すれば特に限定されない。薄膜形成や加工のし易さの観点からアモルファスを用いることも可能であり、具体的には、SiNx、SiO₂、SiON、Al₂O₃、

50

特開2002-26450

14

ZnO、SiCなどが挙げられる。

【0054】なお、コーティング層を形成した場合、第2導電型第2クラッド層28を形成する前に該コーティング層は除去される。該コーティング層を除去する方法は、該コーティング層を完全に除去できれば特に限定はない。したがって、通常用いられるエッティング方法を用いることができ、例えばドライエッティング、ウェットエッティング、反応性イオンエッティング、プラズマエッティングなどを挙げができる。

【0055】本発明における熱処理の方法は、イオン注入後に窓領域を形成できるものであれば、特に限定されるものではない。したがって、通常のアニーリング用いられる方法を用いることができ、例えば、水素アニール、急速熱アニール（Rapid Thermal Anneal）、急熱プロセス（Rapid Thermal Process）などが挙げられる。

【0056】イオン注入後の熱処理において、熱処理の温度と時間を調整することにより窓領域を形成することができる。本発明のアニールの温度は、上限が1000

20 °C以下であることが好ましく、900 °C以下であることがより好ましく、850 °C以下であることがさらにより好ましい。下限としては、600 °C以上であることが好ましく、700 °C以上であることがより好ましく、800 °C以上であることがさらに好ましい。また、アニールの時間は、上限が60分以下であることが好ましく、30分以下であることがより好ましく、15分以下であることがさらにより好ましい。またアニールの時間の下限としては、5秒以上であることが好ましく、10秒以上であることがより好ましく、30秒以上であることがさらに好ましい。

【0057】第2導電型第2クラッド層28のキャリア濃度は、下限は3×10¹⁷ cm⁻³以上が好ましく、5×10¹⁷ cm⁻³以上がより好ましく、7×10¹⁷ cm⁻³以上が最も好ましい。また上限は1×10¹⁹ cm⁻³以下が好ましく、5×10¹⁸ cm⁻³以下がより好ましく、3×10¹⁸ cm⁻³以下が最も好ましい。

【0058】第2導電型第2クラッド層28の厚さは、薄くなりすぎると光閉じ込めが不十分となり、厚くなりすぎると通過抵抗が増加してしまう。このため、第2導電型第2クラッド層28の厚さの下限は、0.5 μm以上が好ましく、1.0 μm以上がより好ましい。上限は3.0 μm以下が好ましく、2.0 μm以下がより好ましい。

【0059】電流ブロック層26と第2導電型第2クラッド層28を形成した後にさらに電極を形成する場合には、電極材料との接触抵抗を低減するために、低抵抗（高キャリア濃度）のコンタクト層29を形成することが好ましい。特に電極を形成しようとする最上層表面の全体にコンタクト層29を形成した上で電極を形成することが好ましい。

(9)

15

【0060】このとき、コンタクト層29の材料は、通常はクラッド層よりバンドギャップが小さい材料の中から選択し、金属電極とのオーミック性を取るため低抵抗で適当なキャリア密度を有するのが好ましい。例えば、GaAs、GaInAs、GaInP、GaInAsP、GaN、GaInN、GaNAs、GaNp、ZnSe、ZnSSe、CdZnSeTe、ZnO、CdZnO等の一般的なIII-V族、II-VI族半導体を用いることができる。キャリア密度の下限は、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上が好ましく、 $3 \times 10^{19} \text{ cm}^{-3}$ 以上がより好ましく、 $5 \times 10^{19} \text{ cm}^{-3}$ 以上が最も好ましい。上限は、 $2 \times 10^{20} \text{ cm}^{-3}$ 以下が好ましく、 $5 \times 10^{19} \text{ cm}^{-3}$ 以下がより好ましく、 $3 \times 10^{19} \text{ cm}^{-3}$ 以下が最も好ましい。コンタクト層29の厚みは、下限は $0.1 \mu\text{m}$ 以上であることが好ましく、 $0.3 \mu\text{m}$ 以上であることがより好ましく、 $0.5 \mu\text{m}$ 以上であることが特に好ましい。厚みの上限は、 $1.0 \mu\text{m}$ 以下であることが好ましく、 $6 \mu\text{m}$ 以下であることがより好ましく、 $4 \mu\text{m}$ 以下であることが特に好ましい。

【0061】次に、電流ブロック層26に形成される開口部42について説明する。

【0062】電流ブロック層26の開口部42は、上側（コンタクト層29側）よりも下側（活性層23側）の方が小さくなるようにする方が、通過抵抗の低減（動作電圧および発熱の低減）の観点から好ましい。電流ブロック層26を端部窓構造領域上に形成することにより、端部窓構造領域でのリーケ電流をなくすことができる。また、電流ブロック層26を端部窓構造領域よりもさらに内側に形成することにより、活性層23の端部への電流注入も抑制することができる。これにより、端部領域での劣化（特に端面劣化）を低減することができる。

【0063】電流ブロック層26の開口部42は、両端部まで伸長しているストライプ状の開口部であってもよいし、一方の端部まで伸長しているが他方の端部までは伸長していない開口部であってもよい。開口部が両端部まで伸長しているストライプ状の開口部である場合は、端部窓構造領域における光の制御がより容易になり、端面における横方向の光の拡がりを小さくすることができる。一方、開口部が端面からある程度内側に入った部分に形成されている場合は、端面付近で電流を非注入にすることができるため、端面での電流の再結合を防ぐとともに、クラッド層などからの電流の回り込みを最小限にとどめることができる。開口部の構造はこのような利点を考慮しながら、使用目的に応じて適宜決定することが好ましい。

【0064】オフアングルの方向は、電流ブロック層26に形成される開口部42の伸びる方向（長手方向）に直交する方向から、 $\pm 3^\circ$ 以内の方向が好ましく、 $\pm 7^\circ$ 以内の方向がより好ましく、 $\pm 2^\circ$ 以内の方向が最も好ましい。また、開口部42の方向は、基板21の面

10

20

30

40

50

特開2002-26450

16

方位が（100）の場合、[0-11]またはそれと等価な方向が、オフアングルの方向は[011]方向またはそれと等価な方向から $\pm 3^\circ$ 以内の方向が好ましく、 $\pm 7^\circ$ 以内の方向がより好ましく、 $\pm 2^\circ$ 以内の方向が最も好ましい。なお、本明細書において「[011]方向」という場合は、一般的なIII-V族、II-VI族半導体において、(100)面と(011)面との間に存在する面が、それぞれIII族又はII族元素が現れる面であるように[011]方向を定義する。

【0065】本発明の実施態様は上記の開口部が[011-1]方向の場合に限定されない。例えば、開口部が[011]方向又はそれと結晶学的に等価な方向に伸びている場合、例えば、成長条件により、成長速度に異方性をもたせることができ、(100)面では速く、(111)B面ではほとんど成長しないようになることができる。[011]方向にストライプ状の保護膜を形成することにより、(111)B面を側面とする電流ブロック層を形成することができる。

【0066】同様の理由により、ウルツァイト型の基板を用いた場合には、開口部の伸びる方向は、例えば(0001)面上では[11-20]又は[1-100]が好ましい。HVPE (Hydride Vapor Phase Epitaxy) ではどちらの方向でもよいが、MOVPEでは[11-20]方向がより好ましい。

【0067】本発明の半導体光デバイス装置を設計するに際しては、まず、所望の垂直拡がり角を得るために活性層の厚みとクラッド層の組成を決定する。通常、垂直拡がり角を狭くすると活性層からクラッド層への光の浸みだしが促進され、端面での光密度が小さくなり、出射端面の光学的損傷(COD)レベルが向上することができるので、高出力動作を必要とする時には比較的狭めに設定されるが、下限は活性層内の光閉じ込めの低減による発振しきい値電流の増大及びキャリアのオーバーフローによる温度特性の低下を抑制することで制限があり、下限は、 1.5° 以上が好ましく、 1.7° 以上がより好ましく、 1.9° 以上が最も好ましい。上限は、 3.3° 以下が好ましく、 3.1° 以下がより好ましく、 3.0° 以下が最も好ましい。

【0068】次に、垂直拡がり角を決定すると、高出力特性を大きく支配する構造パラメータは活性層と電流ブロック層との間の距離 d_p と開口部底部における幅（以下「開口幅」という）Wとなる。なお、活性層と電流ブロック層との間に第2導電型第1クラッド層のみが存在する場合、 d_p は第2導電型第1クラッド層の厚みとなる。また、活性層が量子井戸構造の場合、最も電流ブロック層に近い活性層と電流ブロック層との距離が d_p になる。

【0069】 d_p については、上限は $0.50 \mu\text{m}$ 以下が好ましく、 $0.40 \mu\text{m}$ 以下がより好ましく、 $0.30 \mu\text{m}$ 以下がもっとも好ましい。下限は $0.03 \mu\text{m}$ 以

(10)

17

上が好ましく、 $0.05 \mu\text{m}$ 以上がより好ましく、 $0.07 \mu\text{m}$ 以上がもっとも好ましい。ただし、使用目的（挿り角をどこに設定するかなど）、材料系（屈折率、抵抗率等）などが異なると、上記の最適範囲も少しシフトする。また、この最適範囲は上記の各構造パラメータがお互いに影響し合うことにも注意を要する。

【0070】開口部底部における開口幅Wは、上限が $1000 \mu\text{m}$ 以下であることが好ましく、 $500 \mu\text{m}$ 以下であることがより好ましい。下限が $1 \mu\text{m}$ 以上であることが好ましく、 $1.5 \mu\text{m}$ 以上であることがより好ましく、 $2 \mu\text{m}$ 以上であることが最も好ましい。また、横モードをシングルモード（単一ピークの横方向光強度分布）にするためには、高次モードのカットオフ及び空間的ホールバーニングの防止の観点からWをあまり大きくすることができます、Wの上限は $7 \mu\text{m}$ 以下が好ましく、 $5 \mu\text{m}$ 以下がより好ましく、 $3 \mu\text{m}$ 以下が特に好ましい。

【0071】光出力 300 mW 以上の高出力動作を実現するには、開口部底部における開口幅Wを広くすることが端面での光密度低減の観点から有効であるが、動作電流を低減するためには開口幅を狭くすることが、導波路ロス低減の観点から好ましい。そこで、ゲイン領域となる中央付近の開口幅W2を比較的狭くし、端部付近の開口幅W1を比較的広くなるようにすることにより、低動作電流と高出力動作を同時に実現することができ、高い信頼性も確保することができる（図6（a））。すなわち、端部（劈開面）幅W1については、上限が $1000 \mu\text{m}$ 以下であることが好ましく、 $500 \mu\text{m}$ 以下であることがより好ましい。下限は $2 \mu\text{m}$ 以上であることが好ましく、 $3 \mu\text{m}$ 以上であることがより好ましい。中央部幅W2については、上限が $100 \mu\text{m}$ 以下であることが好ましく、 $50 \mu\text{m}$ 以下であることがより好ましい。下限は $1 \mu\text{m}$ 以上であることが好ましく、 $1.5 \mu\text{m}$ 以上であることがより好ましく、 $2 \mu\text{m}$ 以上であることがもっとも好ましい。端部幅W1と中央部幅W2の差については、上限は $1000 \mu\text{m}$ 以下が好ましく、 $500 \mu\text{m}$ 以下がより好ましい。下限については、 $0.2 \mu\text{m}$ 以上が好ましく、 $0.5 \mu\text{m}$ 以上がより好ましい。

【0072】さらに横モードをシングルモードにするためには、端部幅W1の上限は、 $10 \mu\text{m}$ 以下が好ましく、 $7 \mu\text{m}$ 以下がより好ましい。中央部幅W2の上限は、 $7 \mu\text{m}$ 以下が好ましく、 $5 \mu\text{m}$ 以下がより好ましい。端部幅W1と中央部幅W2の差については、上限は $5 \mu\text{m}$ 以下が好ましく、 $3 \mu\text{m}$ 以下がより好ましく、 $2 \mu\text{m}$ 以下が最も好ましい。下限については、 $0.2 \mu\text{m}$ 以上が好ましく、 $0.5 \mu\text{m}$ 以上がより好ましい。

【0073】高い信頼性を維持しつつビームが円形に近い（アスペクト比2以下）レーザを達成するためには、上記d pとWを適切な範囲に制御せねばならないことが必要となる。

特開2002-26450'

18

【0074】円形に近いビームを実現するには、開口幅を狭くすることが有効であるが、開口幅を狭くすると注入電流密度の密度がパルク劣化抑制の観点から好ましくない。そこで、ゲイン領域となる中央部幅W2を比較的広くし、端部付近を比較的狭くなるようにすることにより、ビームスポット低減と低動作電流を同時に実現することができ、高い信頼性も確保することができる（図6（b））。

【0075】すなわち、端部（劈開面）幅W1については、上限が $10 \mu\text{m}$ 以下であることが好ましく、 $5 \mu\text{m}$ 以下であるがより好ましく、 $3 \mu\text{m}$ 以下であることがもっとも好ましい。下限が $0.5 \mu\text{m}$ 以上であることが好ましく、 $1 \mu\text{m}$ 以上であることがより好ましい。中央部幅W2については、上限が $100 \mu\text{m}$ 以下であることが好ましく、 $50 \mu\text{m}$ 以下であることがより好ましい。下限が $1 \mu\text{m}$ 以上であることが好ましく、 $1.5 \mu\text{m}$ 以上であることがより好ましく、 $2 \mu\text{m}$ 以上であることがもっとも好ましい。端部幅W1と中央部幅W2の差については、上限は $100 \mu\text{m}$ 以下が好ましく、 $50 \mu\text{m}$ 以下がより好ましい。

【0076】上記の漸増部分あるいは漸減部分、端部の長さは所望の特性に応じて、設計すればよいが、漸減部分の長さは、導波路損失低減の観点から、それぞれ $5 \sim 10 \mu\text{m}$ が好ましく、 $10 \sim 50 \mu\text{m}$ がより好ましい。端部の長さは、劈開精度の観点から $5 \sim 30 \mu\text{m}$ が好ましく、 $10 \sim 20 \mu\text{m}$ がより好ましい。ただし、必要に応じて、以下のように窓を作製してもよい。

（1）端部、漸増部分あるいは漸減部分の開口幅あるいは長さがチップ両側で非対称となるもの。

（2）端部の幅一定となる領域を設定せずに、端部まで漸増あるいは漸減としたもの。

（3）端面の片側（通常、高出力光取り出し（前端面）側）だけ開口幅が漸増あるいは漸減するようにしたものの。

（4）端部開口幅が前面と後面とで異なるもの。

（5）上記の（1）～（4）のいくつかを組み合わせたもの。

【0077】また、端面付近に電極を設けないようにして、端部近傍の開口部への電流注入によるパルク劣化の抑制や端面での再結合電流を低減することは、高い信頼性での小スポット径のレーザ作製の観点から有効である。

【0078】端部での共振器方向における窓構造領域の長さは、短すぎると再現性よく劈開することが困難となり、一方、長すぎると窓領域40での損失が増加するためにしきい値電流の増大やスロープ効率の低減などレーザ特性の劣化を招いてしまう。そこで、窓領域40の長さは、下限として、 $1 \mu\text{m}$ 以上が好ましく、 $5 \mu\text{m}$ 以上がより好ましい。上限としては、 $50 \mu\text{m}$ 以下が好まし

(II)

特開2002-26450

19

く、 $30\text{ }\mu\text{m}$ 以下がより好ましい。

【0079】窓領域40は、両端部に形成されていることが好ましいが、片側の側面にだけ形成されていてもよい。片側にだけ形成されている場合は、より高出力のレーザ光が出射される端面側に形成されていることが好ましい。

【0080】本発明の半導体光デバイス装置の製造方法は、まず基板21上に第1導電型クラッド層22、活性層23及び第2導電型第1クラッド層24とを有するダブルヘテロ構造を形成後、第2導電型第1クラッド層24上に電流プロック層26を形成し、電流プロック層26に開口部42を形成する。次いで開口部42の両端部に不純物をイオン注入した後、熱処理をして窓構造領域を形成してから、該電流プロック層26の開口部42及び少なくとも開口部42両脇の電流プロック層26上に第2導電型第2クラッド層28を形成する。

【0081】本発明の半導体光デバイス装置の製造方法における各層の結晶の成長方法は、特に限定されるものではない。したがって、従来からの方法を用いることができ、例えばダブルヘテロ構造の結晶成長や電流プロック層等の選択成長には、有機金属気相成長法(MOCVD法)、分子線エピタキシー法(MBE法)、ハイドライド又はハライド気相成長法(VPE法)、液相成長法(LPE法)等の公知の成長方法を選択して用いることができる。

【0082】各層の具体的な成長条件等は、層の組成、成長方法、装置の形状等に応じて異なるが、MOCVD法を用いてIII-V族化合物半導体層を成長する場合、ダブルヘテロ構造は、成長温度600~750°C程度、V/III比50~150(GaAs、InGaAsの場合)20~60程度(A1GaAsの場合)あるいは300~600程度(InGaAsP、AlGaInPの場合)、プロック層は成長温度600~700°C、V/III比40~60程度(A1GaAsの場合)あるいは350~550程度(InGaAsP、AlGaInPの場合)で行うのが好ましい。

【0083】本発明の半導体光デバイス装置を利用した半導体レーザ装置として、情報処理用光源(通常A1GaAs系(波長780nm近傍)、AlGaInP系(波長600nm帯)、InGaN系(波長400nm近傍))、通信用信号光源(通常InGaAsPあるいはInGaAsを活性層とする1.3μm帯、1.5μm帯)レーザ、ファイバー励起用光源(InGaAs歪み量子井戸活性層/GaAs基板を用いる980nm近傍、InGaAsP歪み量子井戸活性層/InP基板を用いる1480nm近傍など)レーザなどの通信用半導体レーザ装置など、特に高出力動作が求められる多用な装置を挙げることができる。また、通信用レーザでも、円形に近いレーザはファイバーとの結合効率を高める点で有効である。また、遠視野像が単一ピークであるもの

は、情報処理や光通信などの幅広い用途に好適なレーザとして供することができる。

【0084】さらに、本発明は半導体レーザ以外に端面発光型などの発光ダイオード(LED)としても応用可能である。また、本発明は半導体レーザ以外に端面発光型などの発光ダイオード(LED)としても応用可能である。

【0085】

【実施例】以下に具体例を挙げて、本発明を更に詳細に説明する。以下の実施例に示す材料、試薬、割合、操作等は、本発明の精神から逸脱しない限り適宜変更することができる。したがって、本発明の範囲は以下に示す具体例に制限されるものではない。

(実施例) 本実施例において、図4に示す順に各層を形成することにより半導体発光装置を製造した。なお図4には、構造を把握しやすくするために敢えて寸法を変えている部分があるが、実際の寸法は以下の文中に記載されるとおりである。

【0086】厚さ $350\text{ }\mu\text{m}$ で表面が(100)面であるn型GaAs($n=1\times 10^{18}\text{ cm}^{-3}$)基板101上に、MBE法により、厚さ $2.0\text{ }\mu\text{m}$ のn型Al_{0.3}Ga_{0.7}As(Siドープ: $n=1\times 10^{18}\text{ cm}^{-3}$)からなるn型クラッド層102、厚さ30nmのGaAs光閉じ込め層(ノンドープ)、厚さ6nmのIn_{0.2}Ga_{0.8}As井戸層(ノンドープ)、厚さ8nmのGaAsバリア層(ノンドープ)、厚さ6nmのIn_{0.2}Ga_{0.8}As井戸層(ノンドープ)及び厚さ30nmのGaAs光閉じ込め層(ノンドープ)を順次積層してなる二重量子井戸(DQW)活性層103、厚さ $0.1\text{ }\mu\text{m}$ のp型Al_{0.3}Ga_{0.7}As(Beドープ: $p=1\times 10^{18}\text{ cm}^{-3}$)からなるp型クラッド層104、厚さ20nmのp型InGaP(Beドープ: $p=1\times 10^{18}\text{ cm}^{-3}$)層と厚さ10nmのp型GaAs層からなるエッティング阻止層105、厚さ $2.0\text{ }\mu\text{m}$ のn型Al_{0.3}Ga_{0.7}As(Siドープ: $n=1\times 10^{18}\text{ cm}^{-3}$)からなるn型電流プロック層106、厚さ10nmのn型GaAs(Siドープ: $n=1\times 10^{18}\text{ cm}^{-3}$)からなるn型キャップ層107を順次積層した。

【0087】電流注入領域を形成するために、まず、このダブルヘテロ基板の表面に厚さ100nmのSiNx保護膜108をプラズマCVDにより堆積させ、フォトリソグラフィーにより【0-1-1】B方向にストライプ状の開口部を多数形成した(図4(a))。なお、【0-1-1】B方向は、一般的なIII-V族化合物半導体において、(100)面と(01-1)面の間に存在する(11-1)面が、V族元素が現れる面である様に定義する。このストライプ状開口部の幅は $2.2\text{ }\mu\text{m}$ で一定にし、横方向のスペース間隔は $500\text{ }\mu\text{m}$ とした。このストライプ状の開口部において、第1エッティング阻止層105でエッティングが停止するようにして、キャップ

(12)

21

層107及び電流プロック層106をエッティングにより除去した。このとき用いたエッティング液は、酒石酸／過酸化水素系、硫酸／過酸化水素系、磷酸／過酸化水素系などから選択した(図4(b))。この後、ストライプ状のSiNx膜108を緩衝フッ酸液などのウェットエッティングもしくはSF₆、CF₄などのガスを用いたドライエッティングを用いて除去した。次に、このダブルヘテロ基板の表面に厚さ100nmのSiNx保護膜をプラズマCVDにより堆積させ、フォトリソグラフィーにより[0-11]B方向を長手方向とする矩形状のSiNx保護膜109を形成した。矩形状のSiNx保護膜109を形成した。

特開2002-26450

22

*膜109の長さは980μm、開口部幅は40μmとした(図4(c))。

【0088】このSiNx保護膜109の周囲にイオン注入装置により、Siイオンを注入した(図4(d))。注入エネルギーは60eVあるいは120eVとし、ドーズ量は $1 \times 10^{13} \text{ cm}^{-2}$ あるいは $5 \times 10^{13} \text{ cm}^{-2}$ とした。イオン注入条件の異なる4サンプルについて、イオン注入前と熱処理後のPLピーク波長を測定した結果を表1に示す。

10 【0089】

【表1】

サンプル	加速電圧 (keV)	ドーズ量 (cm ⁻²)	PL波長 (nm)		シフト量 (nm)	プロファイル	
			ダブルヘテロ成長直後	イオン注入アニール後		ダブルヘテロ成長直後	イオン注入アニール後
A	60	1.00×10^{13}	965	966	1	図7	図8
B	120	1.00×10^{13}	962	949	-13	図9	図10
C	60	5.00×10^{13}	968	913	-53	図11	図12
D	120	5.00×10^{13}	964	946	-18	図13	図14

【0090】この結果より、注入エネルギーは60eV、ドーズ量は $5 \times 10^{13} \text{ cm}^{-2}$ が最適であった。このことから、ピーク濃度がある程度高く($6 \times 10^{13} \text{ cm}^{-2}$ 程度)なるようなドーズ量が混晶化促進には必要であり、活性層よりも少し表面側にピーク位置がくるように注入エネルギーを設定した方が同じドーズ量では、混晶化がより促進されることがわかった。また、図7～14は各サンプルのダブルヘテロ成長直後とイオン注入・アニール後のプロファイルを示したものである。横軸の深さは開口部のエッティング阻止層105表面からの距離を示す。これらの図から、注入後の熱処理において、注入原子が活性層側へ拡散していないにもかかわらず、活性層内部で混晶化が起こることもわかった。このことから、イオン注入後の熱処理中に不純物が拡散しなくても、混晶化させることが可能である。混晶化については、スペッタオージェや透過電子顕微鏡などの分析も行って確認した。

【0091】このあと、SiNx保護膜109を緩衝フッ酸液などのウェットエッティングもしくはSF₆、CF₄などのガスを用いたドライエッティングを用いて除去した。この後、MOCVD法により厚さ2.0μmのp型Al_xG_{1-x}As(Znドープ: p = $1 \times 10^{13} \text{ cm}^{-3}$)からなるp型第2ケラッド層112及び厚さ3.0μmのp型GaAs(Znドープ: p = $2 \times 10^{13} \text{ cm}^{-3}$)からなるコンタクト層113を成長させた。

【0092】この後、p側の電極114を蒸着し、基板を100μmまで薄くした後に、n側電極115を蒸着し、アロイした(図4(e))。こうして作製したウエハーにおいて、40μm幅の不純物拡散領域のほぼ中央で劈開して、レーザ光出射端面を形成(1次劈開)するようにチップバーに切り出し、端面窓構造レーザを作製

20 した。このときの共振器長は1000μmとした。前面5%～後面95%の非対称コーティングを施した後、2次劈開によりチップに分離した。チップをジャンクションダウンで組立した後、25°Cで連続通電(CW)にて電流一光出力、電流一電圧特性を測定した。

【0093】本実施例によって作製した窓構造レーザでは動作電流の増加とともに光出力が増加し、約450mWまでキンクフリーでかつ約600mWまでCODせずに光出力が得られた。しかし、それ以上に動作電流を増加させても光出力は増加せず、素子自体の発熱による熱飽和によって光出力が制限された。発振波長は平均976nm、しきい値電流は平均20mA、スロープ効率は平均0.85mW/mAであり、特性は非常に良好であった。また、250mW出力時における垂直広がり角は平均2.8°、水平広がり角は平均8.5°であった。このとき、非点隔差は2μm以下と非常に小さくすることができ、光ファイバーとの光結合特性に優れた光源となることが判明した。さらに、高い信頼性(70°C、250mWの高温、高出力における3000時間以上の安定動作)が得られることが判明した。また、電流注入のための開口部をエッティング阻止層までのエッティングにより形成しているため、素子構造の均一性を高めることができ、上記の半導体レーザ素子を高歩留まりで作製することができた。

【0094】なお、上記のMOCVD法において、III族原料にはトリメチルガリウム(TMG)、トリメチルインジウム(TMI)及びトリメチルアルミニウム(TMA)を、V族原料にはアルシン及びホスフィンを、キャリアガスには水素を用いた。また、p型ドーパントにはジメチル亜鉛(DEZ)、n型ドーパントにはジシランを用いた。

50

(13)

23

【0095】(比較例)イオン注入法による不純物拡散を行わず、端部領域を窓構造としていることを除き、実施例1と同じ工程によってレーザ素子を作製した。本比較例のレーザ素子は、実施例1とは不純物拡散領域を有していない点で異なっている。この素子構造のレーザでは、動作電流を増加させたところ、約350mWの光出力が得られた時にCODが発生し、レーザ素子が壊れてしまった。

【0096】

【発明の効果】本発明の半導体発光装置は、光導波路の端部を窓構造とすることにより端面劣化を抑制できることから、高出力動作における素子の信頼性を高めることができ。このため、本発明は、半導体レーザなどをはじめとして広範な分野に応用されうるものであり、特に光通信システムに用いる光ファイバ増幅器励起用光源に適している。

【0097】本発明の半導体発光装置を製造する際に、セルフアライン型インナーストライプレーザ構造をベースとして、活性層に近傍の上部に不純物拡散層を形成することにより、不純物拡散フロントの位置制御性の向上や端部でのリーク電流低減を図ることができる。さらに、開口幅の均一性を高めることができ、上記の半導体レーザ素子を高歩留まりで作製することができることから、特に、構造設計マージンの小さいレーザ作製の際に本発明は有効である。

【図面の簡単な説明】

【図1】本発明の半導体光デバイス装置の一実施例の斜視図である。

【図2】図1に示した本発明の半導体光デバイス装置の一実施例の断面図であって、図1のI—I線に沿った矢視方向の断面図である。

【図3】図1に示した本発明の半導体光デバイス装置の一実施例の断面図であって、図1のII-II線に沿った矢視方向の断面図である。

【図4】本発明の半導体光デバイス装置の製造工程の一例を説明する工程図である。

【図5】本発明の半導体光デバイス装置の一実施例の活性層のバンドギャップを示す図であり、(a)は窓領域のバンドギャップを示す図であり、(b)は電流注入領域のバンドギャップを示す図である。

【図6】本発明の半導体発光装置の一実施例の上面図である。

【図7】サンプルAのアニール前のプロファイルである。

【図8】サンプルAのアニール後のプロファイルであ

10

20

30

40

特開2002-26450

24

る。

【図9】サンプルBのアニール前のプロファイルである。

【図10】サンプルBのアニール後のプロファイルである。

【図11】サンプルCのアニール前のプロファイルである。

【図12】サンプルCのアニール後のプロファイルである。

【図13】サンプルDのアニール前のプロファイルである。

【図14】サンプルDのアニール後のプロファイルである。

【符号の説明】

21 基板

22 第1導電型クラッド層

23 活性層

24 第2導電型第1クラッド層

25 エッチング阻止層

26 電流ブロック層

27 キャップ層

28 第2導電型第2クラッド層

29 コンタクト層

40 窓領域

41 混晶領域

42 開口部

51、55 光閉じ込め層

52、54 井戸層

53 バリア層

101 基板

102 n型クラッド層

103 活性層

104 p型第1クラッド層

105 エッチング阻止層

106 電流ブロック層

107 キャップ層

108 SiNx膜

109 SiNx表面保護膜

111 キャップ層

112 p型第2クラッド層

113 コンタクト層

114 p側電極

115 n側電極

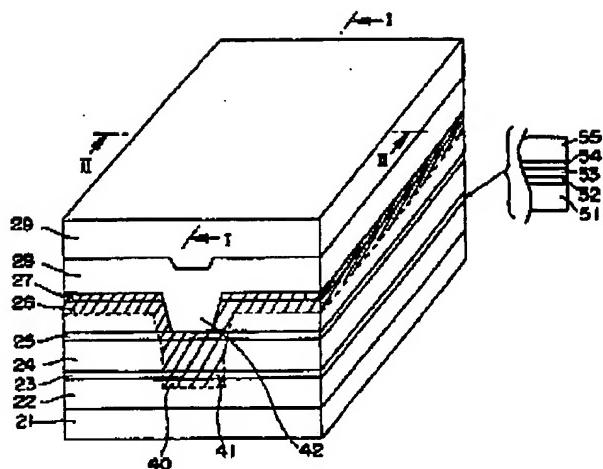
W1 端部幅

W2 中央部幅

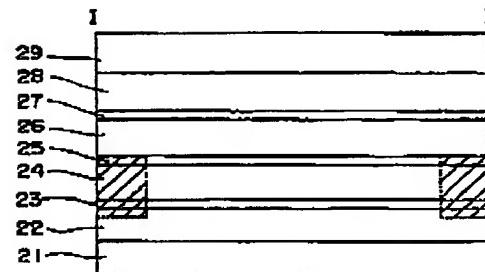
(14)

特開2002-26450

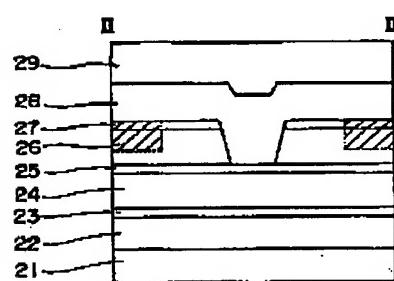
【図1】



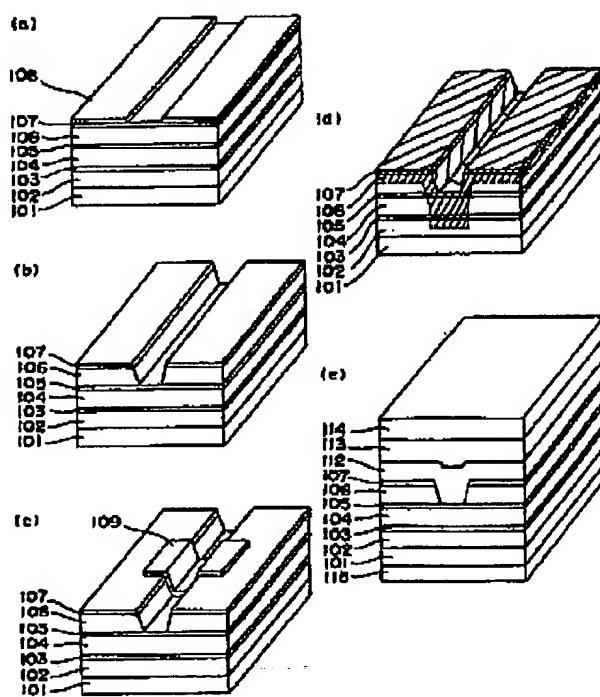
【図2】



【図3】



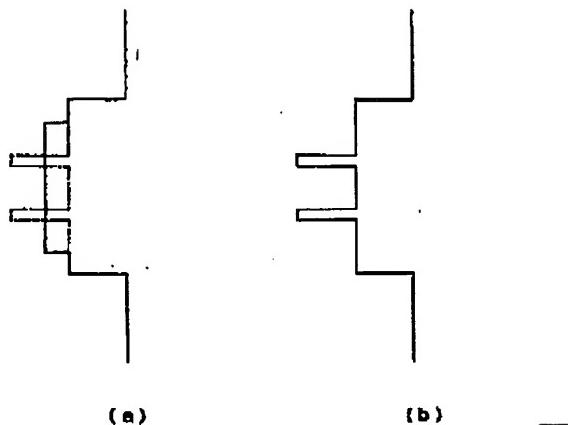
【図4】



(15)

特開2002-26450

【図5】

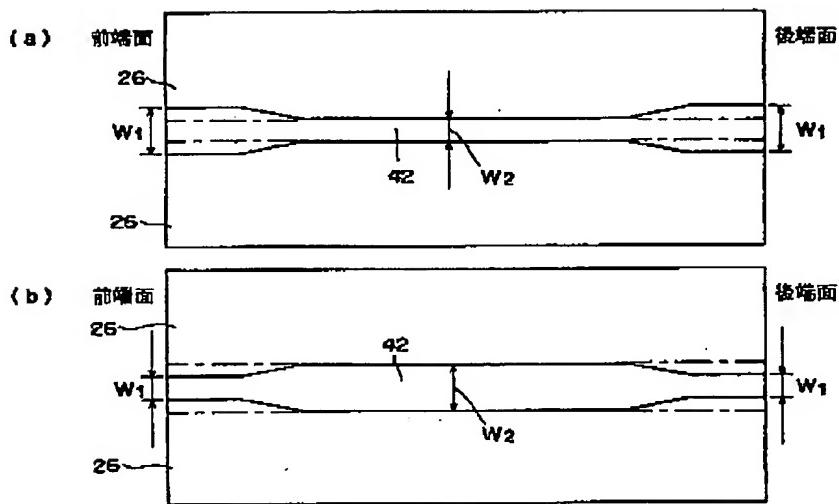


(a)

(b)

—

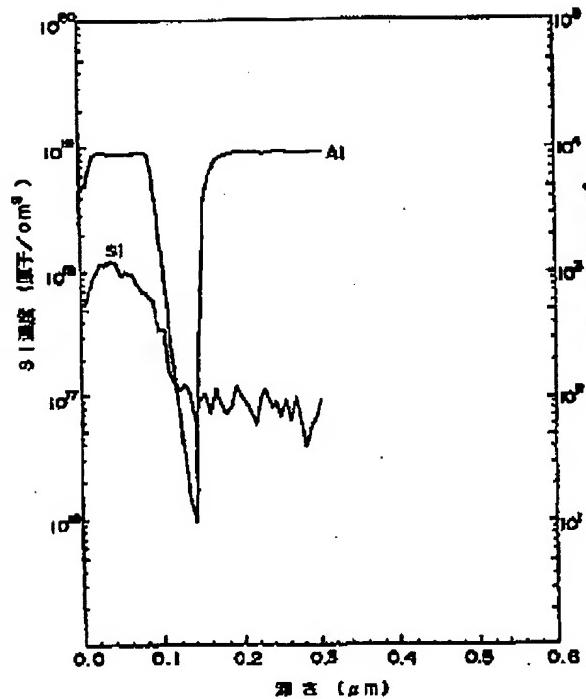
【図6】



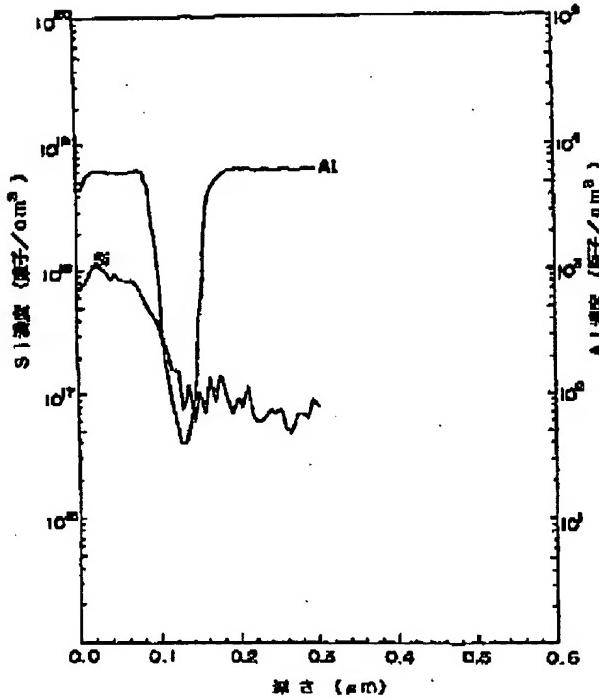
(16)

特開2002-26450

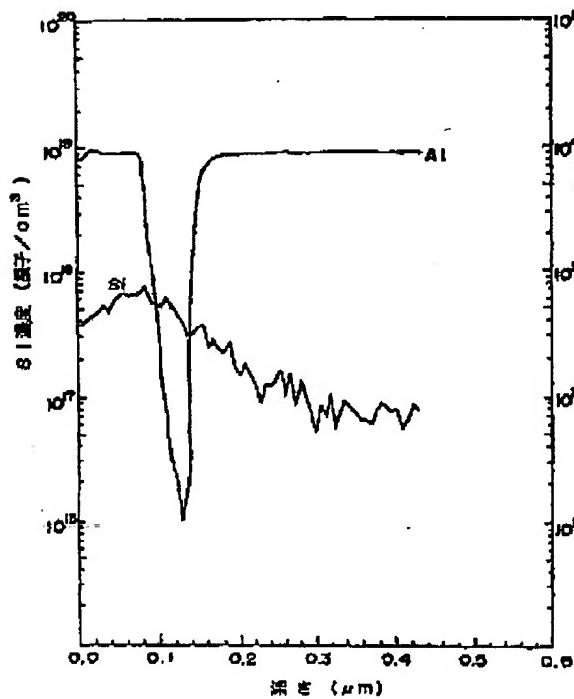
[図7]



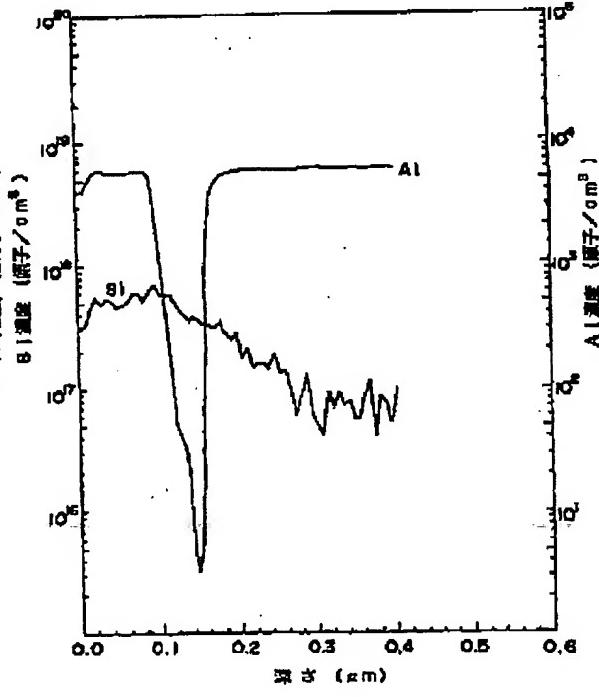
[図8]



[図9]



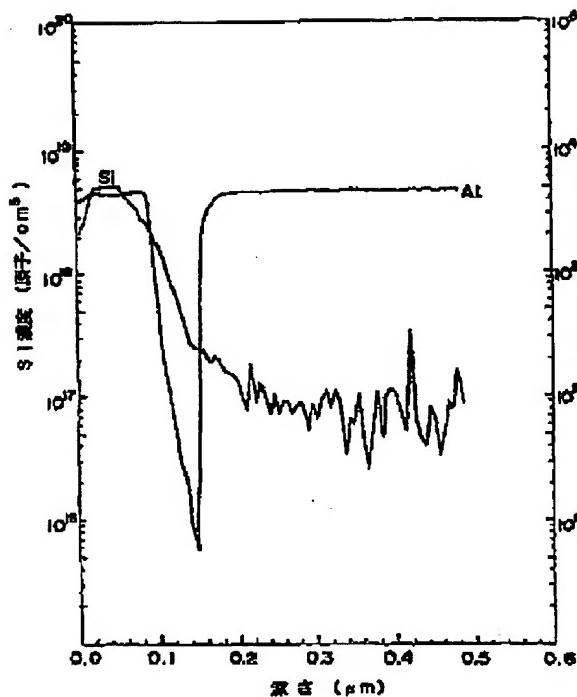
[図10]



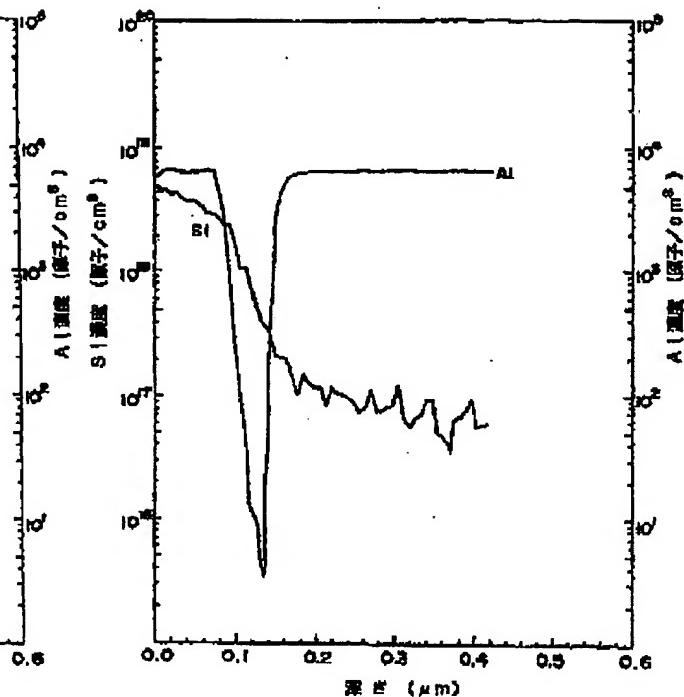
(17)

特開2002-26450

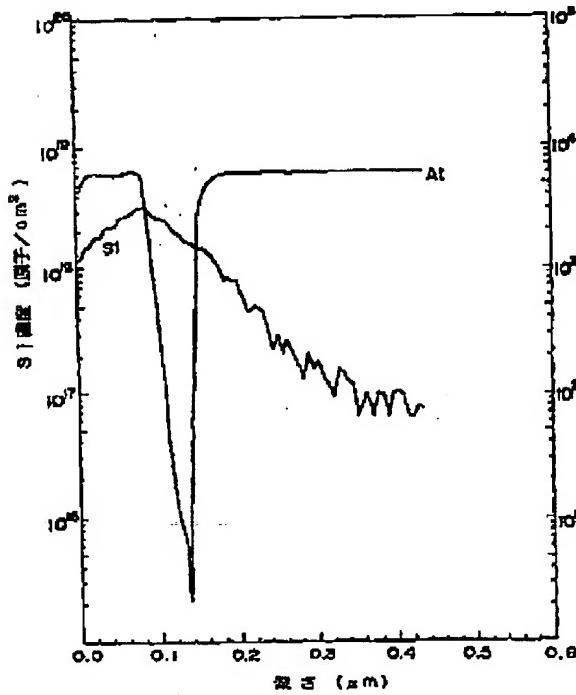
【図11】



【図12】



【図13】



【図14】

